

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-060859

(43)Date of publication of application : 26.02.1992

(51)Int.Cl.

G06F 13/42

G06F 1/04

G06F 9/30

(21)Application number : 02-171805

(71)Applicant : NEC HOME ELECTRON LTD

(22)Date of filing : 29.06.1990

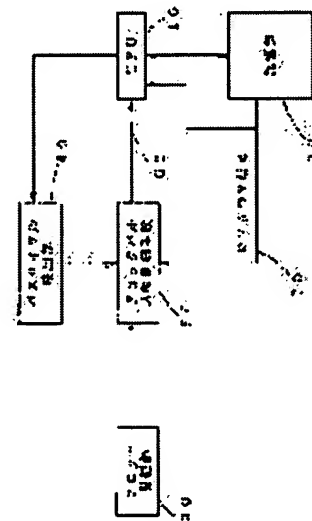
(72)Inventor : KANEDA HIROYUKI

(54) WEIGHT CONTROLLING SYSTEM FOR INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To reduce the power consumption of a CPU by fixing a clock supplied to the CPU at a low level or a high level during a period of time before a ready signal from a storage part or an input/output part becomes active.

CONSTITUTION: At the time of the normal operation of the CPU 10, the clock generated by a clock oscillating part 30 passes by a clock pulse width control means 50, and is supplied to the CPU 10. Next, in the case of access to the storage part 20, the start of a bus cycle is detected by a bus cycle detecting part 40 by monitoring the status of the CPU 10. Next, when the ready signal from the storage part 20 becomes active, the clock pulse width control means 50 starts the clock to the CPU 10, and supplies the clock 60 of an original cycle. At that time, it can be confirmed that the CPU 10 is ready by the start of the clock, the bus cycle in the course of execution is finished, and the next cycle is started. Thus, the power consumption in the CPU 10 can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平4-60859

⑤ Int. Cl.⁵G 06 F 13/42
1/04
9/30

識別記号

3 5 0 C
3 0 1 Z
3 3 0 C

庁内整理番号

8840-5B
7368-5B
9189-5B

④ 公開 平成4年(1992)2月26日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 情報処理装置のウェイト制御方式

⑯ 特 願 平2-171805

⑰ 出 願 平2(1990)6月29日

⑱ 発 明 者 金 田 弘 之 大阪府大阪市中央区城見1丁目4番24号 日本電気ホーム
エレクトロニクス株式会社内

⑲ 出 願 人 日本電気ホームエレクトロニクス株式会社 大阪府大阪市中央区城見1丁目4番24号

明 細 書

1. 発明の名称

情報処理装置のウェイト制御方式

2. 特許請求の範囲

CPUと該CPUの動作速度の遅い入出力部あるいは記憶部を含む情報処理装置において、該CPUを動作させるためのクロック発振部と、該CPUのステータスを見てバスサイクルの開始を検出するためのバスサイクル検出部と、このバスサイクル検出部の出力と前記入出力部あるいは記憶部からのレディー信号により前記クロック発振部の出力のローレベルあるいはハイレベルを延ばして該CPUへクロックを与えるためのクロックパルス幅制御手段とを有することを特徴とした情報処理装置のウェイト制御方式。

3. 発明の詳細な説明

産業上の利用分野

本発明は、高速のCPUで低速の記憶部あるいは入出力部を動作させる情報処理装置、特に低消費電力であることが望ましい電池駆動の情報処理

装置のウェイト制御方式に関する。

従来の技術

従来のウェイト制御は、CPUに対し一定周期のクロックが連続して入力されており、CPUはクロックの立上がりあるいは立下がりで記憶部あるいは入出力部からのレディー信号をサンプリングし、レディーになるまでダミーのウェイトサイクルを実行するものであった。

第3図は従来例のタイミング図で、本例ではNECのCPUμPD70136のタイミングを示している。

μPD70136の場合2クロックサイクル、すなわちCLK60の2クロックで1バスサイクルを構成し、それぞれをT1、T2サイクルと呼んでいる。

第3図において、リード/ライトサイクルを示すDS TB 9.2がロウであり、メモリに対するアクセスかI/Oに対するアクセスかを示すM/I O 9.3がハイ、リードかライトかを示すR/W 9.4がハイであることから、メモリに対する読出し

サイクルであることがわかる。

CLK 60のT2の立上がりでレディー70をサンプリングし、レディーになるまでウェイトサイクルTWを挿入する。2個目のTWの立上がりでレディーであることを検知し、次の立下がりデータバス(D15~D0)95のデータをCPUが読み込み、同時に次のアドレスをアドレスバス(A23~A0)91に出す。

以上のようにCPUには一定周期のCLK 60が連続して加えられている。

発明が解決しようとする課題

上述した従来のウェイト制御方式は、CPUに対してクロックが連続的に与えられるため、CPU内での電力消費が大きいという欠点があった。

課題を解決するための手段

この欠点を解決するために、本発明のウェイト制御方式では、CPUと該CPUの動作速度の遅い入出力部あるいは記憶部を含む情報処理装置において、該CPUを動作させるためのクロック発振部と、該CPUのステータスを見てバスサイク

- 3 -

ル下CLK)信号、70はレディー信号である。

ここで第1図では、記憶部20にその制御部も含めるものとする。

CPU10は通常の動作時にはクロック発振部30で発生したクロックはクロックパルス幅制御手段50を素通りし、CPU10に供給される。

次に記憶部20へのアクセスの場合、CPU10のステータスを監視することによりバスサイクル検出部40でバスサイクルの開始を検出する。CPU10がCPU10がクロックの立上がりでレディー信号をチェックしてウェイトの挿入を判断すると仮定すると、バスサイクル検出部40でバスサイクルの開始を検出した直後、クロックパルス幅制御手段50はクロック発振部30の出力をローレベルに固定してCPU10に供給する。

このローレベルは記憶部20からのレディー信号70を検出するまで保持される。

次に記憶部20からのレディー信号がアクティブになると、クロックパルス幅制御手段50はCPU10へのクロックを立上げ、本来の周期での

- 5 -

ルの開始を検出するためのバスサイクル検出部と、このバスサイクル検出部の出力と上記入出力部あるいは記憶部からのレディー信号により上記クロック発振部の出力のローレベルあるいはハイレベルを延ばして該CPUへクロックを与えるためのクロックパルス幅制御手段とを有する構成としている。

作用

本発明のウェイト制御方式は、クロック発振部とCPUの間にクロックパルス幅制御手段を設け、バスサイクル検出部と記憶部あるいは入出力部からのレディー出力に応じて、CPUへ供給するクロックをハイレベルあるいはローレベル、すなわちCPUがレディーを検出するクロックの変化点の直前の状態で保持させる機能を有している。

実施例

第1図は本発明の一実施例を示す機能ブロック図で、10はCPU、20は記憶部、30はクロック発振部、40はバスサイクル検出部、50はクロックパルス幅制御手段、60はクロック(以

- 4 -

クロック60を供給する。この時CPU10はクロックの立上がりでレディーであることが確認できるため、実行中のバスサイクルを終了し次のサイクルへ進める。

第1図の実施例では、CPU10のアクセスするデバイスとして記憶部20のみを掲げているが、入出力部であっても同様である。

さらに応用例として、クロックパルス幅制御手段50分周機能を持たせ、かつクロック発振部30の出力周波数をCPU10の実行クロック周波数の整数倍することにより、記憶部20あるいは入出力部からのレディー信号がアクティブになるまでのクロック60をローレベルに保持する時間をCPU10の実行周波数以下の周期に設定することも可能となる。

第2図は、本発明の一実施例のタイミング図であり、60はCPUへのクロック(CLK)、70はCPUへ入力されるレディー信号(レディー)、80はバスサイクルの開始を示す信号(BCYST)、91はアドレスバス(A23~A0)

- 6 -

、92はデータストローブ(DSTB)、93はメモリ/I O信号(M/I O)、94はリード/ライト信号(R/W)、95はデータバス(D15~D0)である。

第2図は、従来例のタイミングを示す第3図と同様にNEC製 μ PD70136というCPUを例としているため、第1図のバスサイクル検出部40はCPU内に含まれ、その出力BCYSTB0が直接CPUから出力される。

従来例第3図と比較して第2図の異なっている点はCLK60のみであり、従来2個のウェイトステートが挿入され4クロックで実行されていたバスサイクルが、T1及びT2の2クロックで終了している。したがって、CPUの実行速度は全く同じである。

その結果、第1図の応用例で述べたように、CPUクロックの整数倍のクロック発振部と分周機能を持ったクロックパルス幅制御手段を用いることで、第2図中のT2のローレベルに保持する時間をCPUのクロック周期以下にすることが可能

- 7 -

93...メモリ/I O信号、

94...リード/ライト信号、95...データバス。

である。

発明の効果

以上説明したように本発明は、記憶部あるいは入出力部からのレディー信号がアクティブになるまでの間、CPUへ供給するクロックをローレベルあるいはハイレベルに固定することにより、CPUの実行速度を落とすことなくCPUへ供給するクロックパルス数を減じることが可能となり、CPUの消費する電力を減らせる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す機能ブロック図、第2図は本発明の一実施例のタイミング図、第3図は従来例のタイミング図である。

10...CPU、20...記憶部、

30...クロック発振部、

40...バスサイクル検出部、

50...クロックパルス幅制御手段、

60...クロック信号、70...レディー信号、

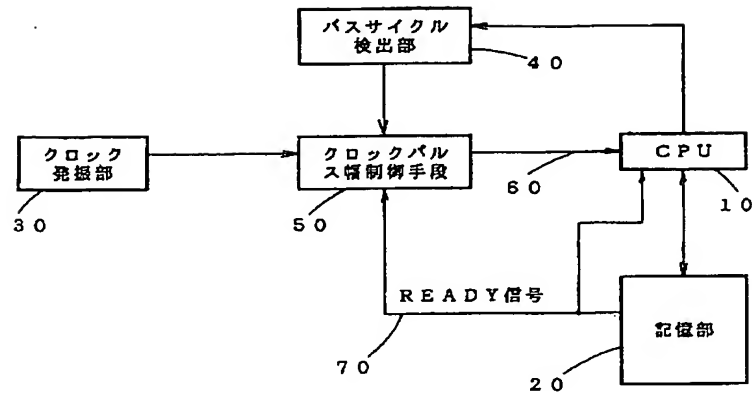
80...バスサイクル開始を示す信号、

91...アドレスバス、92...データストローブ、

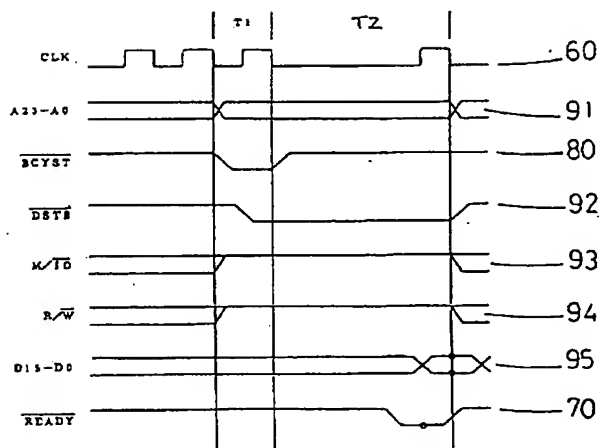
- 8 -

特許出願人 日本電気株式会社

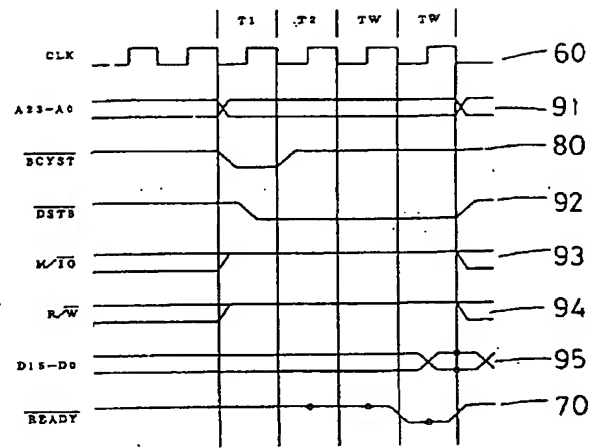
代表取締役 村上 隆一



第 1 図



第 2 図



第 3 図